

501.40175X00



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): ASHIZAWA, et al  
Serial No.: Not assigned  
Filed: June 1, 2001  
Title: LIQUID CRYSTAL DISPLAY DEVICE  
Group: Not assigned

#2  
22 Aug 01  
P. Tallent

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

June 1, 2001


Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-165449 filed June 2, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
\_\_\_\_\_  
Melvin Kraus  
Registration No. 22,466

MK/amr  
Attachment  
(703) 312-6600

330000113451

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1033 U.S. PTO  
09/870719  
06/01/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年 6月 2日

出願番号  
Application Number:

特願2000-165449

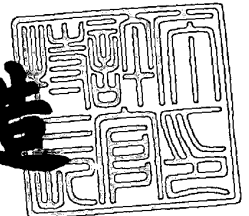
出願人  
Applicant(s):

株式会社日立製作所

2001年 3月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3021658

【書類名】 特許願

【整理番号】 330000113

【提出日】 平成12年 6月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立製作所  
                        ディスプレイグループ内

    【氏名】 芦沢 啓一郎

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立製作所  
                        ディスプレイグループ内

    【氏名】 栗山 英樹

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立製作所  
                        ディスプレイグループ内

    【氏名】 田中 武

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立製作所  
                        ディスプレイグループ内

    【氏名】 橋本 雄一

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立製作所  
                        ディスプレイグループ内

    【氏名】 中谷 光雄

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100093506

【弁理士】

【氏名又は名称】 小野寺 洋二

【電話番号】 03-5541-8100

【手数料の表示】

【予納台帳番号】 014889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

少なくとも一方が透明な一对の基板の一方の内面に形成した複数のゲート線および複数のドレイン線との各交差部分に薄膜トランジスタを有し、前記一方の基板に近接させて形成した画素電極及び対向電極と、前記一对の基板間に挟持した液晶層とを有する液晶表示装置であって、

前記薄膜トランジスタを構成するソース電極の下層に位置する半導体層の端部を当該半導体層の下層に位置するゲート配線の端縁以内に配置したことを特徴とする液晶表示装置。

【請求項 2】

前記ソース電極の下層に位置する半導体層の幅を当該ソース電極の幅より大として前記薄膜トランジスタのチャンネル部と前記ソース電極の半導体層乗り越え部側壁の距離を拡大したことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記ゲート線とドレイン線の交差部の半導体層と薄膜トランジスタ部の半導体層を分離したことを特徴とする請求項 1 または 2 記載の液晶表示装置。

【請求項 4】

前記ドレイン線から分岐して前記薄膜トランジスタの半導体層の上層に延びるドレイン電極の前記分岐部を前記ゲート線から外れた部分に配置すると共に前記薄膜トランジスタの半導体層のドレイン電極側コーナー部を覆って配置し、前記半導体層の前記ドレイン電極側の下層部に 2 方向乗り越え部を形成したことを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】

前記薄膜トランジスタの半導体層の前記ドレイン電極側および前記ソース電極の下層部に 3 方向乗り越え部を形成したことを特徴とする請求項 3 または 4 記載の液晶表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、液晶表示装置に係り、特に、画素毎にスイッチング素子を配置した、所謂アクティブ・マトリクス型の液晶表示装置に関する。

【 0 0 0 2 】

【従来の技術】

液晶表示装置は、一対の基板間に挟持された液晶層の液晶分子に電界を印加して液晶の配向方向を変化させ、それにより生じる液晶層の光学変化を利用して表示を行う。

従来のアクティブ・マトリクス型の液晶表示装置は、液晶層に印加する電界の方向が液晶層を挟持する基板面にほぼ垂直な方向に設定され、液晶層の光旋光性を利用して表示を行うツイステッドネマチック（TN）表示方式に代表される。

【 0 0 0 3 】

一方、櫛歯電極を用い、液晶に印加する電界の方向を基板面にほぼ平行とし、液晶の複屈折性を用いて表示を行うインプレーン・スイッチング方式（In-Plane Switching：IPS）の液晶表示装置が、特公昭63-21907号公報、米国特許第4345249号、WO91/10936、特開平6-160878号公報等により提案されている。

このIPS方式は従来のTN方式に比べて広視野角、低負荷容量等の利点があり、TN方式に替わる新たなアクティブ・マトリクス型液晶表示装置として近年急速に進歩している技術である。

【 0 0 0 4 】

IPS方式においては、ジャーナル オブ アプライド フィジクス、1997, Vol. 82, No. 2, 第528頁～第535頁(M. Oh-e, M. Yoneya, and K. Kondo, JOURNAL OF APPLIED PHYSICS, 1997, Vol. 82, No. 4, 528-535) に明らかにされているように、液晶が負の誘電異方性を有する場合に、正の誘電異方性の液晶に比べ、より完全なインプレーン・スイッチングを実現することができる。

上述のIPS方式では上記対となる基板の一方の表面内に設けられたストライ

ブ状の不透明金属櫛歯電極を用いている。

【0005】

しかし最近、櫛歯電極を不透明金属電極に代えてITO (Indium Tin Oxide) などの透明導電物質により形成し、またこの櫛歯電極の配置のピッチを従来のIPS方式より短いピッチで配置し、さらに誘電率異方性が負の液晶材料を用いることにより、櫛歯電極の縁部分に形成される電界のみでもこの透明櫛歯電極の上部に存在する液晶のすべてを配向変化させることが出来るようにして、透過率及び開口率を改善するIPS方式の一種が提案されている。

【0006】

上記提案にかかる文献は、例えば「S. H. Lee, S. L. Lee and H. Y. Kim, アジアディスプレイ, 1998, pp. 371-374」及び「S. H. Lee, S. L. Lee, H. Y. Kim and T. Y. Eom, SID digest, 1999, pp. 202-205」を挙げることができる。

上記文献では、誘電率異方性が負の液晶材料と短ピッチ透明櫛歯電極を組み合わせたIPS方式では、TN方式に近い透過率がIPS方式と同等の広視野角特性を保ったまま可能となることが報告されている。

【0007】

このような液晶表示装置は、基板上に形成した複数のゲート線（ゲート配線）と複数のドレイン線（ドレイン配線）の交差部にスイッチング素子（一般に、薄膜トランジスタ、以下薄膜トランジスタとして説明する）を備えるとともに、共通電極と上記スイッチング素子で駆動される画素電極とを近接させて配置している。

上記薄膜トランジスタは、ゲート線をゲート電極として、その上層に半導体層（a-Si半導体層）を介してドレイン線から延びるドレイン電極と画素電極に接続するソース電極とで構成される。なお、ドレイン電極とソース電極は動作中に入れ代わるが、以下では後述の図に示したように固定して説明する。

【0008】

図17はIPS方式の液晶表示装置の一例における薄膜トランジスタ部分を拡

大して模式的に示す要部平面図である。図中、GLはゲート線、DLはドレイン線、ASIは半導体層（a-Si層：a-Siアイランドとも言う）、PXは画素電極、CTはコモン電極を示す。SD1はソース電極、SD2はドレイン電極である。この液晶表示装置では、薄膜トランジスタ基板上に画素電極PXとコモン電極CTを隣接させて配置している。薄膜トランジスタのソース電極SD1と画素電極PXはスルーホールTHで接続されている。

## 【0009】

また、図18はIPS方式の液晶表示装置の他例における薄膜トランジスタ部分を拡大して模式的に示す要部平面図である。図中、図17と同一符号は同一機能部分に対応する。この液晶表示装置では、画素電極PXは薄膜トランジスタ基板上にベタ形成してあり、その上層に絶縁層を介してコモン電極CTを形成してある。ソース電極SD1は画素電極PXと同層に形成してある。薄膜トランジスタのソース電極SD1はスルーホールTHで画素電極PXに接続されている。

なお、この他に、コモン電極CTを薄膜トランジスタ基板上にベタ形成し、その上に絶縁層を介して画素電極PXを形成したものもあり、また、画素電極PX、コモン電極CTの形状を縦方向あるいは横方向に屈曲させたものも考えられている。

## 【0010】

## 【発明が解決しようとする課題】

図17、図18に示した何れの液晶表示装置でも、ゲート線GLの上層に形成される半導体層ASIはソース電極SD1の下でゲート線GLからはみ出している（各図中、Aで示した部分）。この半導体層ASIのはみ出し部分にバックライト光が当たって、所謂ホットコン電流が発生し、薄膜トランジスタのリーク電流発生の原因となったり、信号保持電圧の低下をもたらす。

また、ソース電極SD1と半導体層ASIの側壁とのコンタクト部（図中のB部）と薄膜トランジスタのチャネル部（同C部）とが近接しているためにホールの注入が起こり、これも薄膜トランジスタのリーク電流の発生や信号保持電圧の低下をもたらす。

## 【0011】



さらに、半導体層 A S I の上層に形成されるソース電極（または、画素電極 P X のソース電極となる部分） S D 1 あるいはドレイン電極は、半導体層 A S I を乗り越える部分（図 1 7 および図 1 8 における A, B で示したソース電極 S D 1 の縁部）の段差に起因したクラックの発生による抵抗値の上昇や断線が発生し易い。

## 【 0 0 1 2 】

なお、上記の現象は、T N 方式においても同様であり、ホトコン電流が発生や薄膜トランジスタのリーク電流の発生や信号保持電圧の低下は液晶表示装置での輝度に影響し、表示品質を劣化させる。また、ドレイン電極やソース電極のクラックや断線は製品歩留りを低下させる。そのため、これらを解消することが解決しなければならない課題の一つとなっていた。

本発明の目的は、上記の課題を解消して高輝度で信頼性の高い液晶表示装置を提供することにある。

## 【 0 0 1 3 】

## 【課題を解決するための手段】

上記の課題を解決するために、本発明による液晶表示装置は、薄膜トランジスタのソース電極の下層に位置する半導体層がゲート線からはみ出さないように配置し、あるいは、薄膜トランジスタのチャネル部とソース電極の半導体層乗り越え部側壁の距離を拡大して、ホトコン電流の発生を抑制した。

## 【 0 0 1 4 】

また、半導体層をゲート線とドレイン線の交差部の半導体層と薄膜トランジスタ部の半導体層とに分離し、ゲート配線とドレイン線の交差部で発生したホトコン電流が薄膜トランジスタに影響しないようにした。

さらに、半導体層のドレイン電極あるいはソース電極の乗り越え部に 2 方向乗り越え部あるいは 3 方向乗り越え部を形成したことで、ドレイン電極やソース電極のクラックや断線を防止した。

なお、本発明は上記の構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変形が可能である。

## 【 0 0 1 5 】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。ここではIPS方式の液晶表示装置に本発明を適用した実施例について説明するが、TN方式の液晶表示装置についても同様である。また、以下の図において、同一機能を有する部分には同一符号を付け、その繰り返しの説明は省略する。

## 【0016】

図1は本発明による液晶表示装置の第1実施例の要部構成を模式的に説明する平面図であり、薄膜トランジスタ(TFT)部分を示す。図1に示すように、ゲート線(ゲート配線:走査信号線又は水平信号線)GLと、ドレイン線(ドレイン配線:信号線または垂直信号線)DLと、コモン線(コモン配線:対向電極配線)CLと、隣接する2本のドレイン線DLと2本のゲート線GLの交差領域内に配置されている。

ゲート線GL、コモン線CLは図1の左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。一画素内では、コモン線CLからはコモン電極CTが上下方向に1または複数本分岐配置されている。このコモン線CLは図示したようにゲート線GLに隣接して配置するものに限らず、画素の中央部に配置したものもある。

## 【0017】

櫛歯状の画素電極PXはITO透明導電膜で形成され、ソース電極SD1と連続して、あるいはスルーホールを介して薄膜トランジスタTFTのソース電極SD1と電氣的に接続されている。SD2はドレイン電極であり、ドレイン線DLから横方向に分岐している。ASIはa-Si半導体層である。

各画素電極PXとコモン電極CTとの間で発生した電界により液晶組成物LCの光学的な状態を制御して表示を行う。

## 【0018】

ゲート線GLは各画素の薄膜トランジスタTFTに走査電圧信号を伝搬するためのものであり、ドレイン線DLは、各画素の画素電極PXに薄膜トランジスタTFTのドレイン電極SD2を介して映像信号電圧を供給するためのものであり、またコモン線CLは各画素のコモン電極CTにコモン電圧信号を供給するため

のものである。

図1では、金属電極で形成されたコモン線CLはドレイン線DLの脇を囲むように形成されており、ドレイン電極DLに印加される電圧に起因する電位差で発生する電界の影響で生じるドレイン線脇の不要な光漏れを防止する遮光層を兼ねている。

#### 【0019】

櫛歯状の画素電極PXの電極幅W及び電極間隔Lは、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いるドレイン信号駆動回路（信号側ドライバ）の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。

画素電極間距離は $1\mu\text{m}\sim 15\mu\text{m}$ になるよう設定されるが、応答速度 $50\text{ms}$ を実現するために、本実施例では $4\mu\text{m}$ とした。また、電極間隔Lは $1\mu\text{m}\sim 10\mu\text{m}$ になるよう設定されるが、駆動電圧 $10\text{V}$ 以下を実現するために、本実施例では $5\mu\text{m}$ 以上で $10\mu\text{m}$ 以下とした。

#### 【0020】

本実施例では、薄膜トランジスタTFTを構成するソース電極SD1の下層に位置する半導体層ASIの端部Eを当該半導体層ASIの下層に位置するゲート線GLの端縁D以内に配置した。つまり、半導体層ASIがゲート線GLからはみ出さないようにして半導体層ASIにバックライトの光が当たらないようにしたことにより、ホトコン電流を抑制したものである。

また、薄膜トランジスタTFTのソース電極SD1と半導体層ASIの重なり部分におけるソース電極SD1の幅 $w_1$ よりも半導体層ASIの幅 $w_2$ を大きくした。

この構成により、薄膜トランジスタTFTのチャネル部Cとソース電極SD1が半導体層ASIを乗り越える側壁Eのコンタクト部の距離を話し、ホール注入を抑制して薄膜トランジスタのリーク電流が低減され、信号保持の低下が防止される。

#### 【0021】

図 2 は本発明による液晶表示装置の第 2 実施例の要部構成を模式的に説明する平面図であり、図 1 と同一機能部分には同一符号を付してある。なお、コモン線 CL の図示は省略した。

本実施例では、ゲート線 GL とドレイン線 DL の交差部の半導体層と薄膜トランジスタ TFT の半導体層とを分離して、それぞれ半導体層 ASI 1、ASI 2 とした。この構成としたことで、ゲート線 GL とドレイン線 DL の交差部で発生したホトコン電流の影響が薄膜トランジスタ TFT に及ぶことを防止できる。

#### 【 0 0 2 2 】

図 3 は本発明による液晶表示装置の第 3 実施例の要部構成を模式的に説明する平面図であり、(a) は平面図、(b) は (a) の A-A 線から矢印方向に見た断面図である。図 2 と同一機能部分には同一符号を付してある。なお、コモン線 CL の図示は省略した。①と②はドレイン電極 SD 2 が半導体層 ASI 2 を乗り越える方向を示す。

#### 【 0 0 2 3 】

ゲート線 GL とドレイン線 DL の交差部の半導体層と薄膜トランジスタ TFT の半導体層とを分離して、それぞれ半導体層 ASI 1、ASI 2 とした点は第 2 実施例と同様である。このとき、図 2 の構成のままでは半導体層 ASI 2 をドレイン電極 SD 2 が乗り越える部分が 1 方向乗り越えであるためにクラックが入り易く、断線の原因となる。

#### 【 0 0 2 4 】

本実施例では、ドレイン線 DL から分岐して薄膜トランジスタ TFT の半導体層 ASI 2 の上層に延びるドレイン SD 2 の上記分岐部を、ゲート線 GL から外れた部分に配置した。また、ドレイン電極 SD 2 を薄膜トランジスタ TFT の半導体層 ASI 2 のドレイン電極 SD 2 側コーナーを覆って配置し、図 3 (b) に示したようにドレイン電極 SD 2 の半導体層 ASI 2 の乗り越え部に 2 方向乗り越え部を形成したことで、断線の発生を低減した。

#### 【 0 0 2 5 】

さらに、このドレイン電極 SD 2 の半導体層 ASI 2 の乗り越え部と薄膜トランジスタ TFT のチャネル部 C の距離を離すことができ、ホール注入による薄膜

トランジスタ T F T の信号保持特性の劣化を抑制できる。

さらに、図 2 では、ゲート線 G L とドレイン電極 S D 2 との間に半導体層が無い部分 F が生じ、当該部分の容量が増加するが、図 3 に実施例の構成とすることで当該部分 F' の面積が減少し、容量増加が抑制される。

#### 【 0 0 2 6 】

図 4 は本発明による液晶表示装置の第 4 実施例の要部構成を模式的に説明する平面図であり、(a) は平面図、(b) は (a) の B - B 線から矢印方向に見た断面図である。図 3 と同一機能部分には同一符号を付してある。なお、コモン線 C L の図示は省略した。①, ②, ③ はソース電極 S D 1 が半導体層 A S I 2 を乗り越える方向を示す。

#### 【 0 0 2 7 】

本実施例は、ソース電極 S D 1 およびドレイン電極 S D 2 が半導体層 A S I 2 を乗り越える部分に 3 方向乗り越え部を形成して断線発生を低減したものである。ここでは、3 方向乗り越え部をゲート線 G L 上でソース電極 S D 1 と半導体層 A S I 2 の乗り越え部分について説明するが、ドレイン電極 S D 2 と半導体層 A S I 2 の乗り越え部分についても同様である。

#### 【 0 0 2 8 】

ソース電極 S D 1 は図 4 (b) に断面で示したように、ゲート線 G L とゲート絶縁層 G I および半導体層 A S I 2 を乗り越えて形成される。このような多段乗り越えではソース電極 S D 1 の乗り越え部にクラックが発生し易く、それが原因で断線を起こし易い。

本実施例では、ゲート線 G L を画素電極 P X 側に突出させると共に、半導体層 A S I 2 の当該部分にも突出部を形成することにより、図中①～③で示した 3 方向乗り越え部を配置した。

図 4 (b) に示したように、3 方向乗り越えとしたことにより、断線の発生率が軽減できる。

#### 【 0 0 2 9 】

図 5 は本発明による液晶表示装置の第 5 実施例の要部構成を模式的に説明する平面図である。本実施例は、薄膜トランジスタ T F T の半導体層 A S I 2 をゲ-

ト線GLとドレイン線DLの交差部の半導体層ASI1から分離して図2で説明した本発明の第2実施例と同様の効果を奏するものとした。

そして、ドレイン電極SD2が半導体層ASI1およびASI2を乗り越える部分とソース電極SD1がゲート線と半導体層ASI2を乗り越える部分に図4と同様の3方向乗り越え部を形成した。

#### 【0030】

本実施例によれば、前記第4実施例と同様にドレイン電極SD2、ソース電極SD1が半導体層SD1、SD2を乗り越える部分での断線の発生率が軽減でき、抵抗値の上昇や断線の発生を防止できる。

#### 【0031】

次に、本発明の液晶表示装置の他の構成例について図6～図14を参照して説明する。

図6は本発明の液晶表示装置の一画素の構成を説明する平面図である。図中、GLはゲート線、DLはドレイン線、CLはコモン線、CTはコモン電極、PXは画素電極、THは薄膜トランジスタTFTのソース電極SD1と画素電極PXを接続するスルーホール、Vは縦（上下）方向、Hは横（左右）方向を示す。

#### 【0032】

この液晶表示装置では、画素電極PXおよび対向電極CTをくの字状（ジグザグ形状）に形成した。これにより、方向の違う再配向状態をもつ2つの領域（ドメイン）が形成され、斜め方向の着色、階調反転をそれぞれが補償し合い、より広視野角が得られる。

すなわち、それぞれの電極はそれぞれの走行方向において複数の屈曲部を有するジグザグ形状となっており、その屈曲部を境にして一方は図中縦方向Vに対して $\theta$ の角度を、他方は $180^\circ - \theta$ の角度を有している。

これにより、上述の方向の違う再配向状態をもつ2つの領域（ドメイン）が形成され、斜め方向の着色、階調反転をそれぞれが補償し合い、より広視野角が得られる。

#### 【0033】

なお、画素電極PXおよび対向電極CTの間にはゲート絶縁膜GIが形成され

ており、画素電極 P X と対向電極 C T の間に液晶分子を回転させるための横方向の電界が発生する。

ドレイン線 D L からゲート線 G L とオーバーラップして形成されるドレイン電極 S D 2 と、画素電極 P X と接続されて画素電極 P X に保持電圧を印加するソース電極 S D 1 との間にアモルファス半導体層 A S I が配置され、薄膜トランジスタ T F T として機能する。

#### 【 0 0 3 4 】

図 7 は図 6 の I - I 線に沿った薄膜トランジスタ部分の断面図である。薄膜トランジスタ T F T は、ゲート電極 G T に正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

薄膜トランジスタ T F T は、ゲート電極 G T、ゲート絶縁膜 G I、i 型（真性、i n t r i n s i c、導電型決定不純物がドーピングされていない）非晶質シリコン（S i）からなる i 型の半導体層 A S I、一对の電極（ソース電極 S D 1、ドレイン電極 S D 2）を有する。

なお、ソース電極 S D 1 とドレイン電極 S D 2 は、本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース電極 S D 1 とドレイン電極 S D 2 は動作中入れ替わることは前記したとおりである。

#### 【 0 0 3 5 】

ゲート電極 G T はゲート信号線 G L と連続して形成されており、ゲート線 G L の一部の領域がゲート電極 G T となるように構成されている。

ここでは、ゲート電極 G T は単層の導電膜 g 1 で形成されている。この導電膜 g 1 としては、例えばスパッタで形成されたクロム-モリブデン合金（C r - M o）膜が用いられるがそれに限ったものではない。また、異種の金属を 2 層形成しても良い。

#### 【 0 0 3 6 】

ゲート線 G L は導電膜 g 1 で構成されている。このゲート線 G L の導電膜 g 1 はゲート電極 G T の導電膜 g 1 と同一製造工程で形成され、かつ一体に構成され

ている。

このゲート線GLにより、外部回路からゲート電圧をゲート電極GTに供給する。導電膜g1としては、例えばスパッタで形成されたクロム-モリブデン合金(Cr-Mo)膜が用いられる。

また、ゲート線GL及びゲート電極GTの材質はクロム-モリブデン合金のみに限られたものではなく、例えば、低抵抗化のためにアルミニウム又はアルミニウム合金をクロム-モリブデンで包み込んだ2層構造としてもよい。

#### 【0037】

コモン線CLは導電膜g1で構成されている。このコモン線CLの導電膜g1はゲート電極GT、ゲート線GL及びコモン電極CTの導電膜g1と同一製造工程で形成され、かつコモン電極CTと一体形成されている。このコモン電圧信号線CLにより、外部回路からコモン電圧をコモン電極CTに供給する。

また、コモン線CLの材質はクロム-モリブデン合金のみに限られたものではなく、例えば、低抵抗化のためにアルミニウム又はアルミニウム合金をクロム-モリブデンで包み込んだ2層構造としてもよい。

#### 【0038】

ゲート絶縁膜GIは、薄膜トランジスタTFETにおいて、ゲート電極GTと共に半導体層ASIに電界を与えるための絶縁膜として使用される。ゲート絶縁膜GIはゲート電極GT及びゲート線GLの上層に形成されている。

このゲート絶縁膜GIとしては、例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、100nm～4μmの厚さに（ここでは、350nm程度）形成される。また、ゲート絶縁膜GIはゲート線GL及びコモン線CLとドレイン線DLの層間絶縁膜としても働き、それらの電氣的絶縁にも寄与している。

#### 【0039】

半導体層ASIは非晶質シリコン半導体であり、150Å～2500Åの厚さに（ここでは、1200Å程度の膜厚）形成される。層d0はオーミックコンタクト用のリン(P)をドーブしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASIが存在し、上側に導電層d1が存在するところのみに残されている。



半導体層 A S I 及び層 d 0 は、ゲート線 G L 及びコモン線 C L とドレイン線 D L との交差部（クロスオーバー部）の両者間にも設けられている。この交差部の半導体層 A S I は当該交差部におけるゲート線 G L 及びコモン線 C L とドレイン線 D L との短絡を低減する。

## 【 0 0 4 0 】

ソース電極 S D I、ドレイン電極 S D 2 のそれぞれは、N（+）型半導体層 d 0 に接触する導電膜 d 1 から構成されている。C r - M o 膜は低応力であるので、比較的膜厚を厚く形成することができ、配線の低抵抗化に寄与する。また、C r - M o 膜は N（+）型半導体層 d 0 との接着性も良好である。

## 【 0 0 4 1 】

ドレイン線 D L はソース電極 S D I、ドレイン電極 S D 2 と同層で構成されている。また、ドレイン線 D L はドレイン電極 S D 2 と一体に形成されている。

ここでは、導電膜 d 1 はスパッタで形成したクロム-モリブデン合金（C r - M o）膜を用い、5 0 0 Å ~ 3 0 0 0 Å の厚さに（ここでは、2 5 0 0 Å 程度）形成される。C r - M o 膜は低応力であるので、比較的膜厚を厚く形成することができ、配線の低抵抗化に寄与する。

また、C r - M o 膜は N（+）型半導体層 d 0 との接着性も良好である。導電膜 d 1 として、C r - M o 膜の他に高融点金属（M o, T i, T a, W）膜、高融点金属シリサイド（M o S i<sub>2</sub>, T i S i<sub>2</sub>, T a S i<sub>2</sub>, W S i<sub>2</sub>）膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

## 【 0 0 4 2 】

薄膜トランジスタ T F T 上には保護膜 P S V が設けられている。保護膜 P S V は主に薄膜トランジスタ T F T を湿気等から保護するために設けられており、透明性が高く、しかも耐湿性の良いものを使用する。

保護膜 P S V は、例えばプラズマ C V D 装置で形成した酸化シリコン膜や窒化シリコン膜からなり、0. 1 μ m 以上、1 μ m 以下の膜厚で形成する。保護膜 P S V は、外部接続端子 D T M, G T M を露出するよう除去されている。

保護膜 P S V とゲート絶縁膜 G I の厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス g m を考えて薄くされる

。また、保護膜 P S V は、ポリイミド等の有機膜を  $2\ \mu\text{m}$  以上、 $3\ \mu\text{m}$  以下の比較的厚い構成としたものの積層構造としても良い。

#### 【 0 0 4 3 】

画素電極 P X は、透明導電体である I T O で形成され、同じく I T O で形成されるコモン電極 C T との間で蓄積容量を形成している。ここでは透明導電体として I T O を用いて説明したが、インジウム－ジンカーオキサイド（I Z O）でも同様の効果が得られるのは言うまでもない。

#### 【 0 0 4 4 】

対向電極 C T は I T O で形成され、コモン線 C L と同層で接続されている。対向電極 C T にはコモン電圧が印加されるように構成されている。

本構成例では、コモン電圧はドレイン線 D L に印加される最小レベルの駆動電圧と最大レベルの駆動電圧との中間直流電位から、薄膜トランジスタ T F T をオフ状態にするときに発生するフィードスルー電圧分だけ低い電位に設定される。

#### 【 0 0 4 5 】

図 8 は本発明の液晶表示装置を構成する上下 2 枚の基板で挟持される液晶層に接してそれぞれ塗布される配向膜の配向方向の説明図である。配向膜としては、ポリイミドを用いる。初期配向方向 R D R は上下基板で互いに平行にする。初期配向方向を付与する方法としては、ラビングが最も一般的であるが、その他に斜方蒸着がある。

#### 【 0 0 4 6 】

初期配向方向 R D R と印加電界方向 E D R との関係は図 5 に示すとおりである。ここでは、初期配向方向 R D R は、水平方向に対して約  $75^\circ$  とした。なお、誘電率異方性が正の液晶組成物を用いる構成においては、初期配向方向 R D R と印加電界方向 E D R とのなす角度は、 $45^\circ$  以上  $90^\circ$  未満でなければならない。配向膜は  $20\ \text{nm}$  ～  $300\ \text{nm}$  の厚みに形成される（本実施例では  $100\ \text{nm}$  程度）。

#### 【 0 0 4 7 】

2 枚の基板の各表面には偏光板が積層される。図 1 0 で後述する偏光板 P O L 1、P O L 2 としては、導電性を有する偏光板を用い、下側の偏光板 P O L I の

偏光透過軸MAX1を初期配向方向RDRと一致させ、上側の偏向板POL2の偏光透過軸MAX2を、それに直交させる。

これにより、本発明の画素に印加される電圧（画素電極PXと対向電極CTの間の電圧）を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができる。また、電圧無印加時には、良質な黒表示ができる。

#### 【0048】

なお、偏光板に導電性を持たせることにより、外部からの静電気による表示不良及びEMI対策を施している。導電性に関しては、静電気による影響に対する対策のためだけであれば、シート抵抗が $10^8 \Omega/\square$ 以下、EMIに対しても対策するのであれば、 $10^4 \Omega/\square$ 以下とするのが望ましい。また、ガラス基板の液晶組成物の挟持面の裏面（偏光板を粘着させる面）に導電層を設けてもよい。

#### 【0049】

図9は上下のガラス基板SUB1，SUB2を含む液晶表示装置の表示パネルPNLのマトリクス（AR）周辺の要部を示す平面図である。また、図10は図の左側に走査回路が接続されるべき外部接続端子GTM付近の断面を示し、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

#### 【0050】

この液晶表示装置の製造では、小さいサイズであればスループット向上のため一枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のため、どの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくする。

いずれの場合も一通りの工程を経てからガラスを切断する。図9、図10は後者の例を示すもので、両図とも上下基板SUB1，SUB2の切断後を表している。図9のLNは両基板の切断前の縁を示す。

#### 【0051】

いずれの場合も、完成状態では外部接続端子群Tg，Td及び端子CTMが存在する（図9で上辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。

端子群Tg，Tdは、それぞれ後述する走査回路接続用端子GTM、ドレイン

信号回路接続用端子 D T M とそれらの引出配線部を集積回路チップ C H I （図 1 4 参照）が搭載されたテープキャリアパッケージ T C P （図 1 4 参照）の単位に複数本まとめて名付けたものである。

#### 【 0 0 5 2 】

各群のマトリクス部から外部接続端子部に至るまでの引出配線は両端に近くにつれ傾斜している。これは、パッケージ T C P の配列ピッチ及び各パッケージ T C P における接続端子ピッチに表示パネル P N L の端子 D T M, G T M を合わせるためである。

また、コモン端子 C T M は、コモン電極 C T にコモン電圧を外部回路から与えるための端子である。マトリクス部のコモン線 C L は、ゲート用端子 G T M の反対側（図 9 では右側）に引き出し、各コモン線を共通バスライン C B で一纏めにして、コモン端子 C T M に接続している。

#### 【 0 0 5 3 】

透明ガラス基板 S U B 1, S U B 2 の間には、その縁に沿って液晶封入口 I N J を除き、液晶 L C を封止するようにシールパターン S L が形成される。シール材は例えばエポキシ樹脂から成る。配向膜 O R 1 1, O R 1 2 の層は、シールパターン S L の内側に形成される。偏光板 P O L 1, P O L 2 はそれぞれ下部透明ガラス基板 S U B 1、上部透明ガラス基板 S U B 2 の外側の表面に構成されている。液晶 L C は液晶分子の向きを設定する下部配向膜 O R 1 1 と上部配向膜 O R 1 2 との間でシールパターン S L で仕切られた領域に封入されている。下部配向膜 O R 1 1 は、下部透明ガラス基板 S U B 1 側の保護膜 P S V I の上部に形成される。

#### 【 0 0 5 4 】

この液晶表示装置は、下部透明ガラス基板 S U B 1 側、上部透明ガラス基板 S U B 2 側で別個に種々の層を積み重ね、シールパターン S L を基板 S U B 2 側に形成し、下部透明ガラス基板 S U B 1 と上部透明ガラス基板 S U B 2 とを重ね合わせる。そして、シール材 S L の開口部 I N J から液晶 L C を注入し、注入口 I N J をエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

## 【 0 0 5 5 】

図 1 1 は図 9 におけるゲート線 G L からその外部接続端子（ゲート端子） G T M までの接続構造の説明図である。図 1 1 （ a ）は平面図であり、図 1 1 （ b ）は図 1 1 （ a ）の B - B 切断線における断面を示している。

なお、図 1 1 は図 9 の左下方付近に対応し、斜め配線の部分は便宜上一直線状で表した。図中 C r - M o 層 g l は判り易くするためハッチングを施してある。

## 【 0 0 5 6 】

ゲート端子 G T M は、 C r - M o 層 g l と、更にその表面を保護し、かつ、 T C P （ T a p e C a r r i e r P a c k a g e ）との接続の信頼性を向上させるための透明導電層 I T O 1 とで構成されている。

この透明導電層 I T O 1 は透明導電膜 I T O を用いている。図 1 1 （ b ）に示したように、絶縁膜 G I 及び保護膜 P S V は同図の右側に形成されており、左端に位置する端子部 G T M は絶縁膜 G I 及び保護膜 P S V から露出して外部回路との電氣的接触ができるようになっている。

## 【 0 0 5 7 】

図 1 1 にはゲート線 G L とゲート端子 G T M の一つの対のみが示されているが、実際はこのような対が上下に複数本並べられて端子群が構成され、ゲート端子 G T M の図示左端は、製造過程では基板の切断領域を越えて延長され、短絡配線 S H g （図示せず）によって短絡される。この短絡配線による短絡で製造過程における配向膜 O R I 1 のラビング時等の静電破壊防止に役立つ。

## 【 0 0 5 8 】

図 1 2 はドレイン線 D L からその外部接続端子 D T M までの接続構造の説明図である。図 1 2 （ a ）はその平面を示し、図 1 2 （ b ）は図 1 2 （ a ）の B - B 切断線における断面を示す。なお、図 1 2 は図 9 の右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板 S U B 1 の上端部に該当する。

## 【 0 0 5 9 】

外部接続端子 D T M は上下方向に配列され、図 1 6 に示すように端子群 T d （添字省略）を構成し、基板 S U B 1 の切断線を越えて更に延長されている。この外部接続端子 D T M は製造過程では基板の切断領域を越えて延長され、製造過程

中での静電破壊防止のためその全てが互いに短絡配線 S H d（図示せず）によって短絡されている。

## 【 0 0 6 0 】

外部接続端子 D T M は透明導電層 I T O 1 で形成されており、保護膜 P S V 1 を除去した部分でドレイン線 D L と接続されている。この透明導電膜 I T O 1 はゲート側の外部接続端子 G T M と同様の透明導電膜 I T O を用いている。表示領域（マトリクス部）から外部接続端子 D T M までの引出し配線は、ドレイン線 D L と同じレベルの層 d 1 が構成されている。

## 【 0 0 6 1 】

図 1 3 はコモン線 C L からその外部接続端子 C T M までの接続構造の説明図である。図 1 3（a）はその平面を示し、図 1 3（b）は図 1 3（a）の B - B 切断線における断面を示す。なお、図 1 3 は図 9 の左上付近に対応する。

## 【 0 0 6 2 】

各コモン線 C L は共通バスライン C B で一纏めして外部接続端子 C T M に引き出されている。共通バスライン C B は導電層 g 1 の上に導電層 g 3（図示せず）を積層し、透明導電層 I T O 1 でそれらを電氣的に接続した構造となっている。

これは、共通バスライン C B の抵抗を低減し、コモン電圧が外部回路から各コモン線 C L に十分に供給されるようにするためである。本構造では、特に新たに導電層を付加することなく、共通バスラインの抵抗を下げられるのが特徴である。

## 【 0 0 6 3 】

外部接続端子 C T M は、導電層 g 1 の上に透明導電層 I T O 1 が積層された構造になっている。この透明導電膜 I T O 1 は他の外部接続端子と同様に透明導電膜 I T O を用いている。

透明導電層 I T O 1 により、その表面を保護し、電蝕等を防ぐために耐久性のよい透明導電層 I T O 1 で導電層 g 1 を覆っている。

また、透明導電層 I T O 1 と導電層 g 1 及び導電層 d 1 との接続は、保護膜 P S V 及び絶縁膜 G I を経由するスルーホールを形成し導通を取っている。

## 【 0 0 6 4 】

図 1 4 は表示領域（マトリクス部）の等価回路とその周辺回路の結線図の説明図である。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。

表示領域に構成されるマトリクス部は複数の画素を二次元状に配列したマトリクス・アレイで形成されている。図 1 4 中、X はドレイン線 D L を意味し、添字 G, B 及び R がそれぞれ緑、青及び赤画素に対応して付与されている。Y はゲート線 G L を意味し、添字 1, 2, 3, . . . , e n d は走査タイミングの順序に従って付与されている。

ゲート線 Y（添字省略）はゲートドライバ（垂直走査回路）V に接続されており、ドレイン線 X（添字省略）はドレインドライバ（映像信号駆動回路）H に接続されている。S U P は 1 つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からの C R T（陰極線管）用の表示情報を T F T 液晶表示装置用の表示情報に変換する回路を含む回路である。

#### 【 0 0 6 5 】

図 1 5 は図 1 4 に示した液晶表示装置の駆動波形図である。ゲート信号 V G は 1 走査期間ごとにオンレベルをとり、その他はオフレベルをとる。ドレイン信号電圧 V D は、液晶層に印加したい電圧の 2 倍の振幅で正極と負極を 1 フレーム毎に反転して 1 つの画素に伝えるように印加する。

ここで、ドレイン信号電圧 V D は画素マトリクスの 1 列毎に極性を反転し、2 行毎にも極性を反転する。これにより、極性が反転した画素が上下左右に隣りあう構成（ドット反転駆動）となり、フリッカ、クロストーク（スミア）を発生し難くすることができる。

#### 【 0 0 6 6 】

また、コモン電圧 V C はドレイン信号電圧 V D の極性反転のセンター電圧から一定量下げた電圧に設定する。これは、薄膜トランジスタ T F T がオンからオフに変わるときに発生するフィードスルー電圧を補正するものであり、液晶に直流成分の少ない交流電圧 V L C を印加するために行う（液晶は直流が印加されると、残像、劣化等が激しくなるため）。

## 【 0 0 6 7 】

図 1 6 は図 9 に示した表示パネル PNL にドレインドライバ（映像信号駆動回路）H とゲートドライバ（垂直走査回路）V を接続した状態を示す平面図である。

CHI は表示パネル PNL を駆動させる駆動 IC チップ（同図下側の 5 個は垂直走査回路側の駆動 IC チップ、左の 1 0 個ずつはドレイン信号駆動回路側の駆動 IC チップ）である。

TCP は駆動用 IC チップ CHI がテープ・オートメイテッド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCBI は上記 TCP やコンデンサ等が実装された駆動回路基板で、ドレイン信号駆動回路用とゲート信号駆動回路用の 2 つに分割されている。

## 【 0 0 6 8 】

FGP はフレームグランドパッドであり、シールドケース SHD に切り込んで設けられたパネ状の破片が半田付けされる。FC は下側の駆動回路基板 PCBI と左側の駆動回路基板 PCBI を電氣的に接続するフラットケーブルである。

フラットケーブル FC としては図 1 6 に示すように、複数のリード線（りん青銅の素材に Sn 鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

上記実施例の構成により、ホットコン電流の発生を抑制し、ドレイン電極やソース電極のクラックや断線を防止することができる。

## 【 0 0 6 9 】

## 【発明の効果】

以上説明したように、本発明によれば、ホットコン電流が発生や薄膜トランジスタのリーク電流の発生や信号保持電圧の低下を抑制し、ドレイン電極やソース電極のクラックや断線を防止して高品質で高い製品歩留りを実現した信頼性の高い液晶表示装置を提供することができる。

## 【図面の簡単な説明】

## 【図 1】

本発明による液晶表示装置の第 1 実施例の要部構成を模式的に説明する平面図



である。

【図 2】

本発明による液晶表示装置の第 2 実施例の要部構成を模式的に説明する平面図である。

【図 3】

本発明による液晶表示装置の第 3 実施例の要部構成を模式的に説明する平面図である。

【図 4】

本発明による液晶表示装置の第 4 実施例の要部構成を模式的に説明する平面図である。

【図 5】

本発明による液晶表示装置の第 5 実施例の要部構成を模式的に説明する平面図である。

【図 6】

本発明の液晶表示装置の一面素の構成を説明する平面図である。

【図 7】

薄膜トランジスタ部分の断面図である。

【図 8】

本発明の液晶表示装置を構成する上下 2 枚の基板で挟持される液晶層に接してそれぞれ塗布される配向膜の配向方向の説明図である。

【図 9】

上下のガラス基板を含む表示パネルのマトリクス周辺の要部を示す平面図である。

【図 10】

走査回路が接続されるべき外部接続端子付近の断面と外部接続端子が無いところのシール部付近の断面図である。

【図 11】

図 9 におけるゲート線からその外部接続端子までの接続構造の説明図である。

【図 12】

ドレイン線からその外部接続端子までの接続構造の説明図である。

【図 1 3】

コモン線からその外部接続端子までの接続構造の説明図である。

【図 1 4】

表示領域（マトリクス部）の等価回路とその周辺回路の結線図の説明図である。

【図 1 5】

図 1 4 に示した液晶表示装置の駆動波形図である。

【図 1 6】

図 9 に示した表示パネルにドレインドライバ（映像信号駆動回路）とゲートドライバ（垂直走査回路）を接続した状態を示す平面図である。

【図 1 7】

I P S 方式の液晶表示装置の一例における薄膜トランジスタ部分を拡大して模式的に示す要部平面図である。

【図 1 8】

I P S 方式の液晶表示装置の他例における薄膜トランジスタ部分を拡大して模式的に示す要部平面図である。

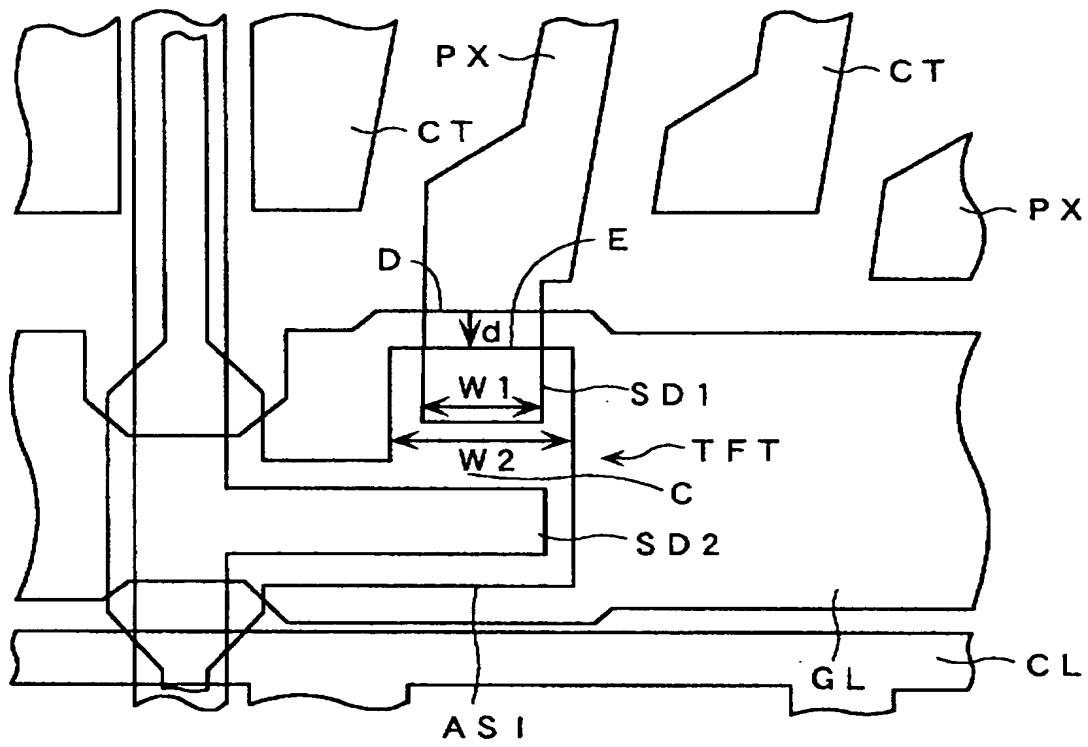
【符号の説明】

SUB（SUB 1、SUB 2）・・・透明ガラス基板、GL・・・ゲート線、DL・・・ドレイン線、CL・・・コモン線、PX・・・画素電極、CT・・・コモン電極、GI・・・ゲート絶縁膜、GT・・・ゲート電極、ASI・・・半導体層、SD 1、SD 2・・・ソース電極又はドレイン電極、PSV・・・保護膜、BM・・・遮光膜、LC・・・液晶層、TFT・・・薄膜トランジスタ、TH・・・スルーホール、g、d・・・導電膜、ITO・・・透明導電膜、GTM・・・ゲート側の外部接続端子、DTM・・・ドレイン側の外部接続端子、CB・・・共通バスライン、CTM・・・コモン側の外部接続端子、SHD・・・シールドケース、PNL・・・液晶表示パネル。

【書類名】 図面

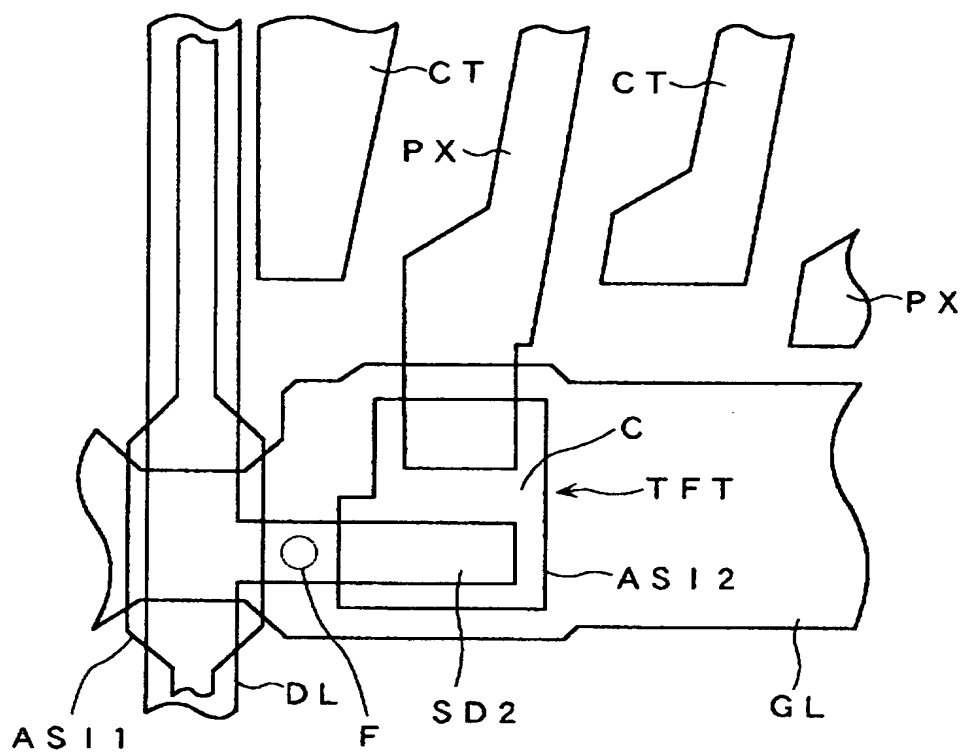
【図 1】

図 1



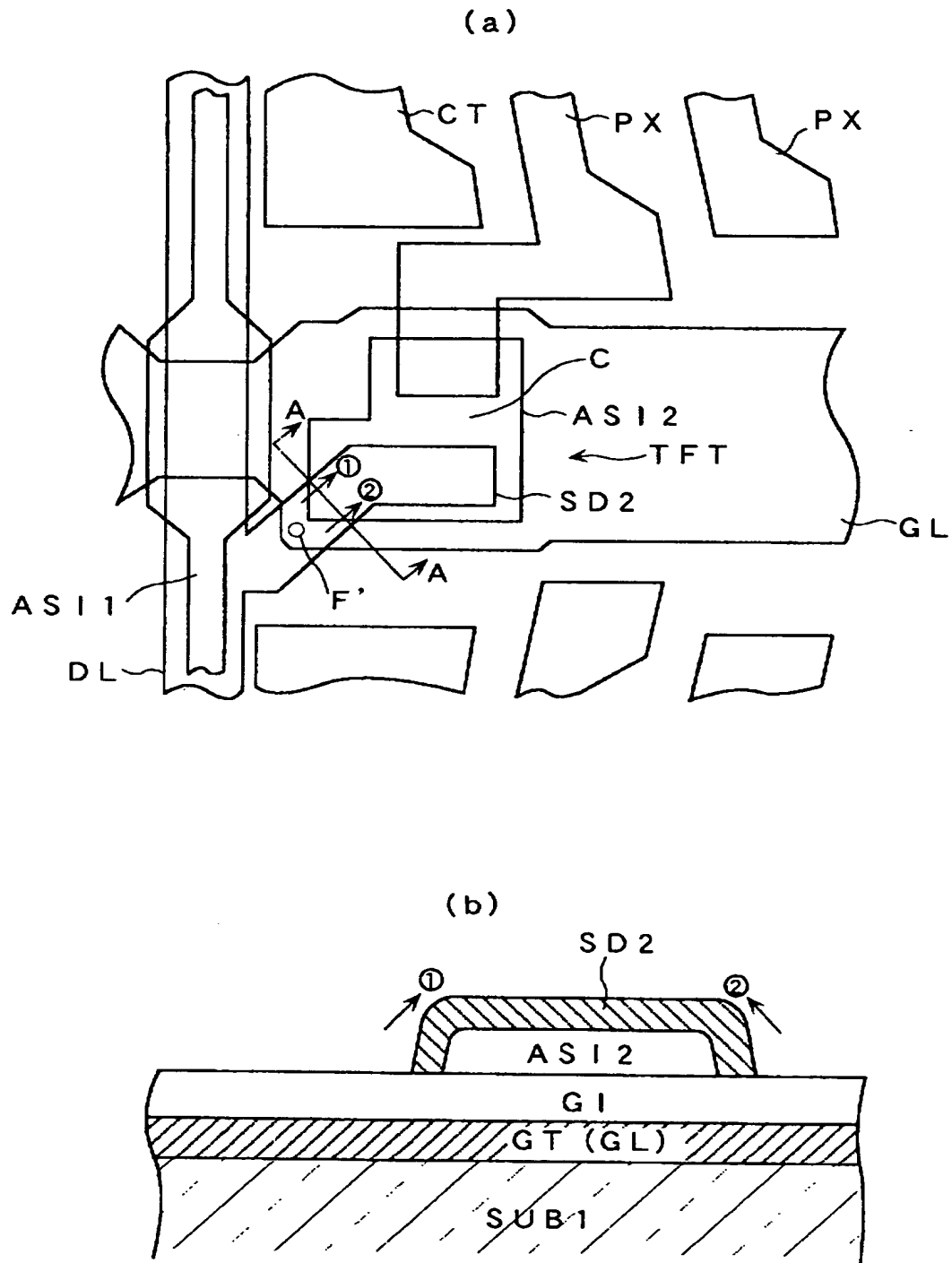
【図2】

図 2



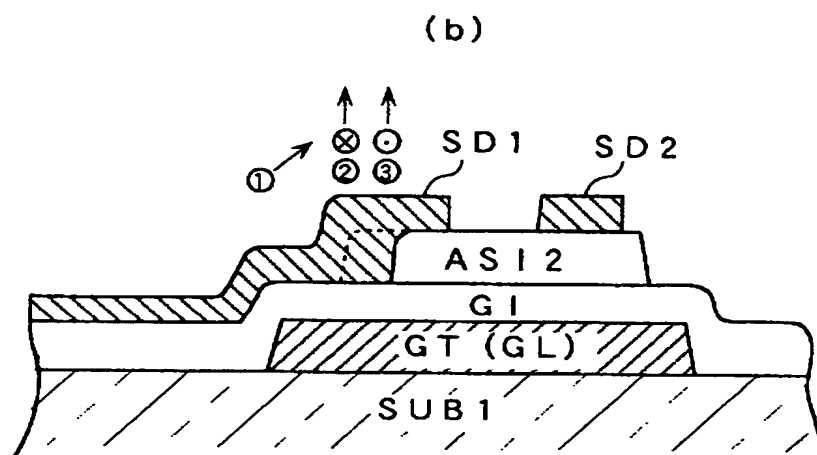
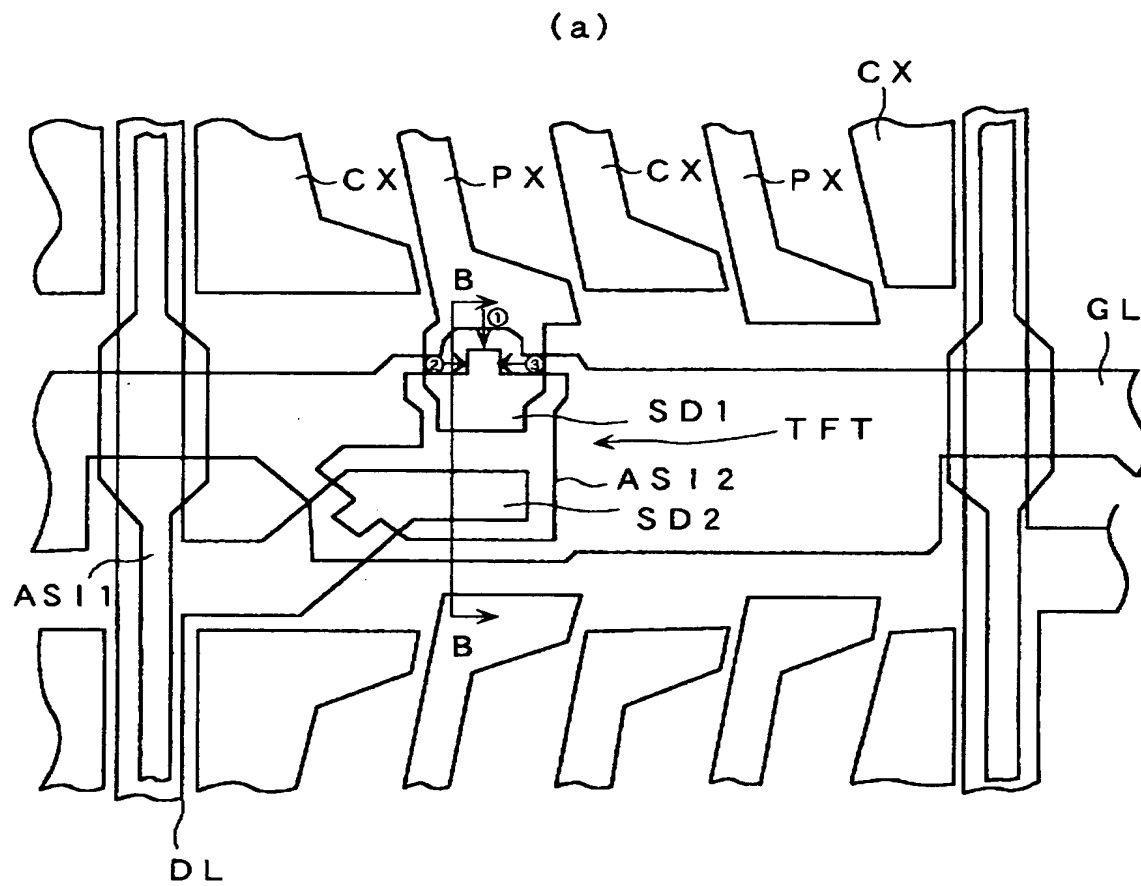
【図3】

図 3



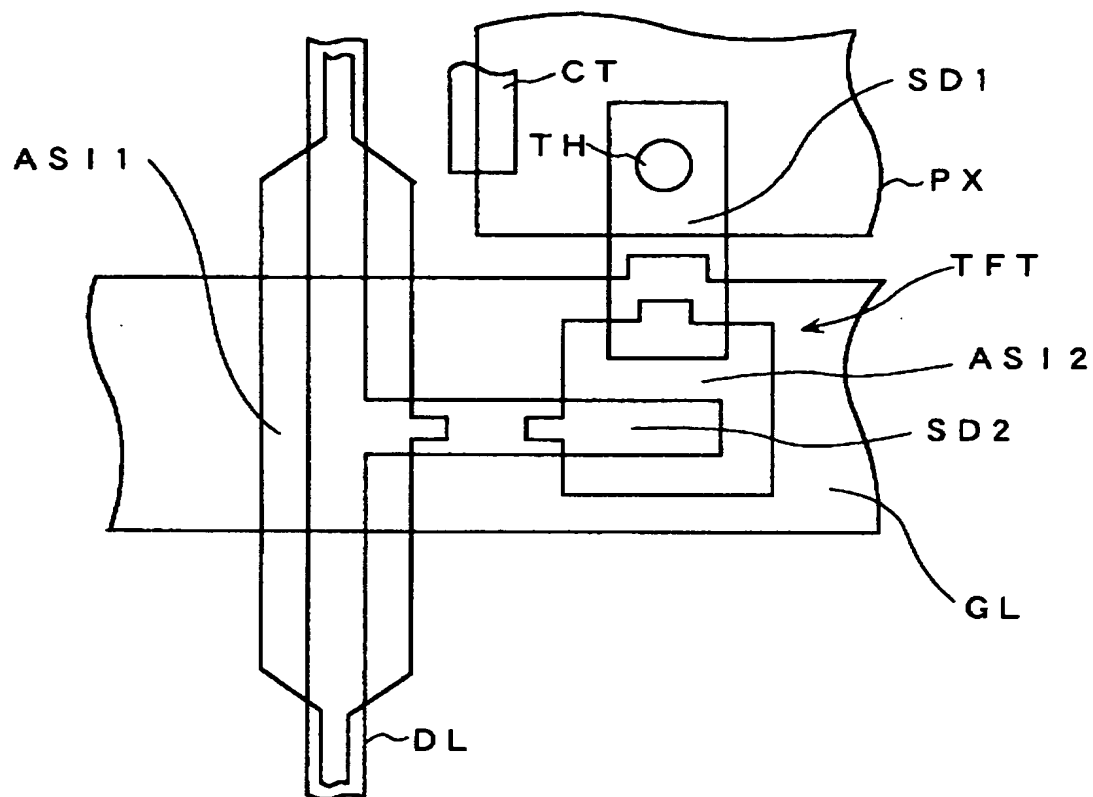
【図4】

圖 4



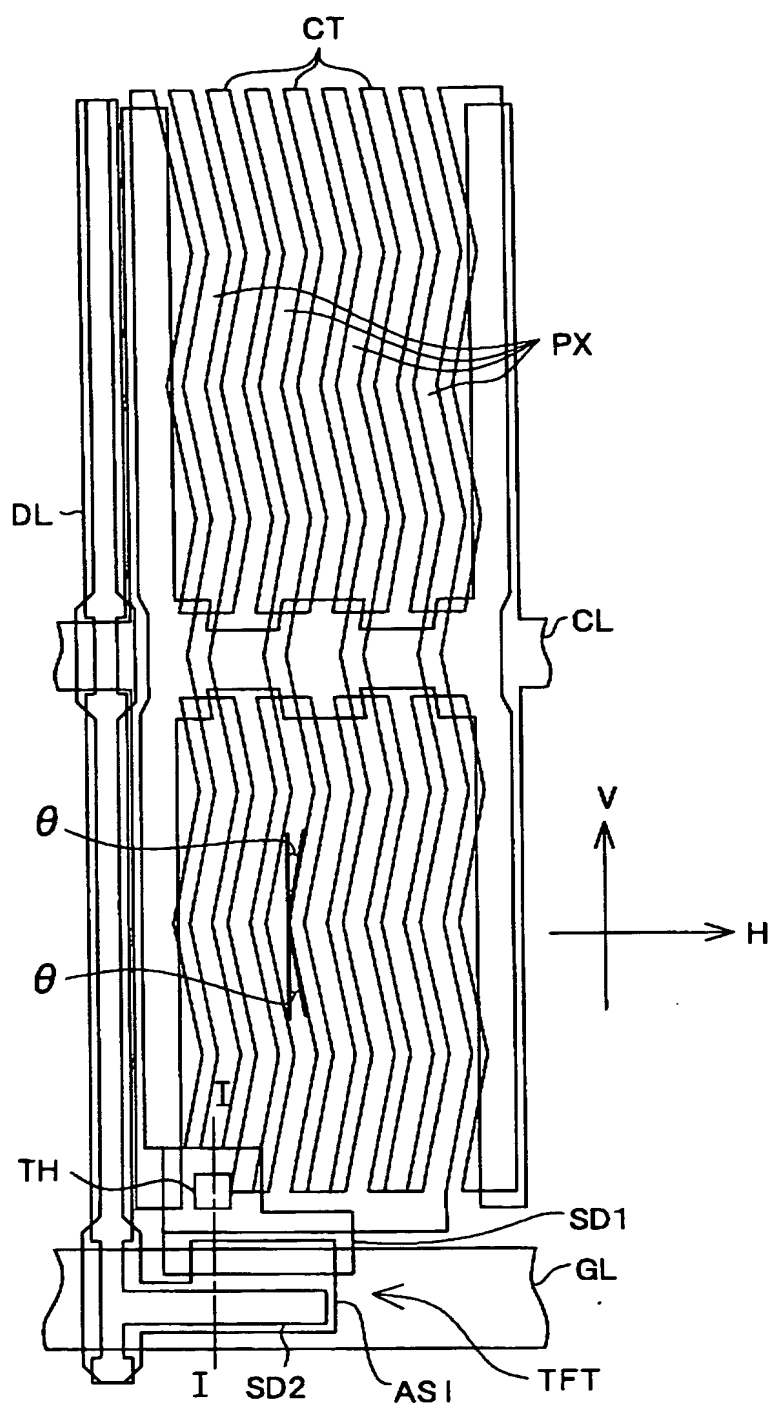
【図 5】

図 5



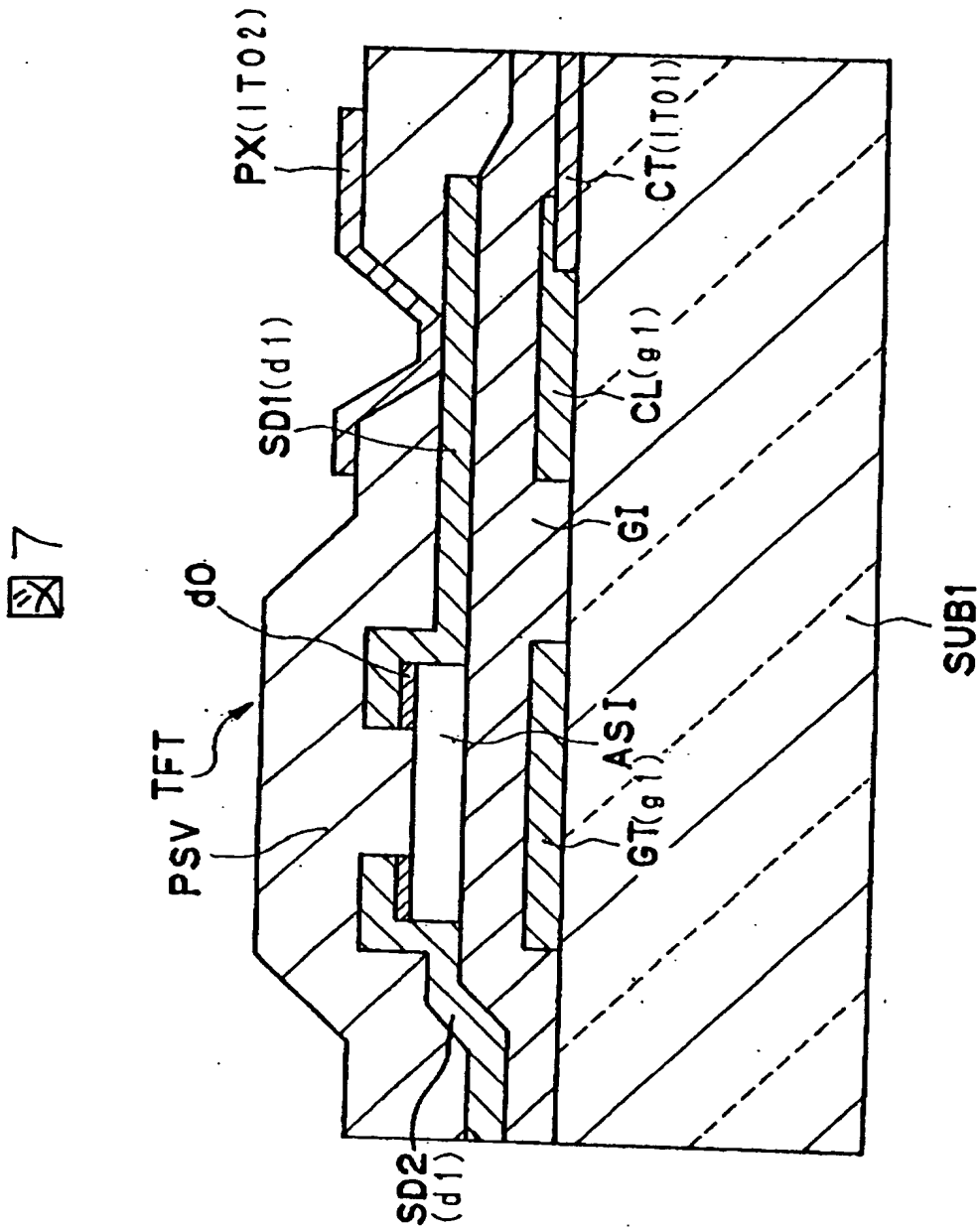
【図 6】

図 6



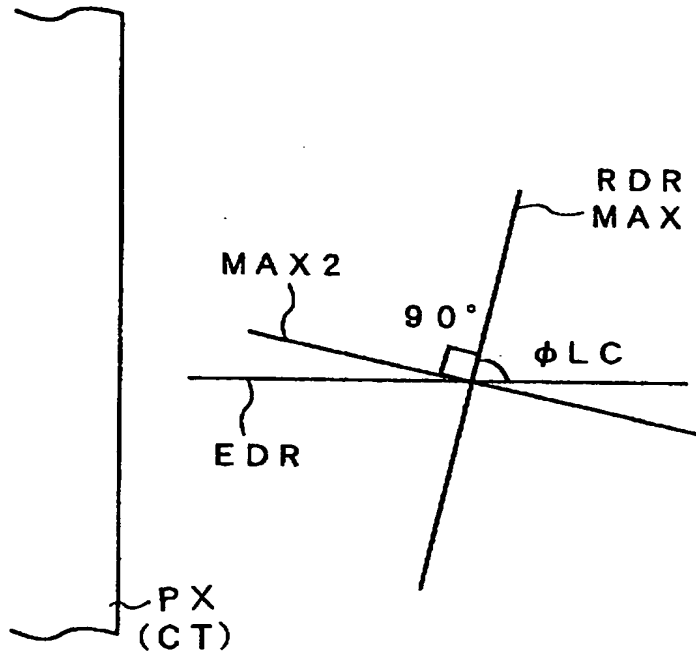


【图 7】



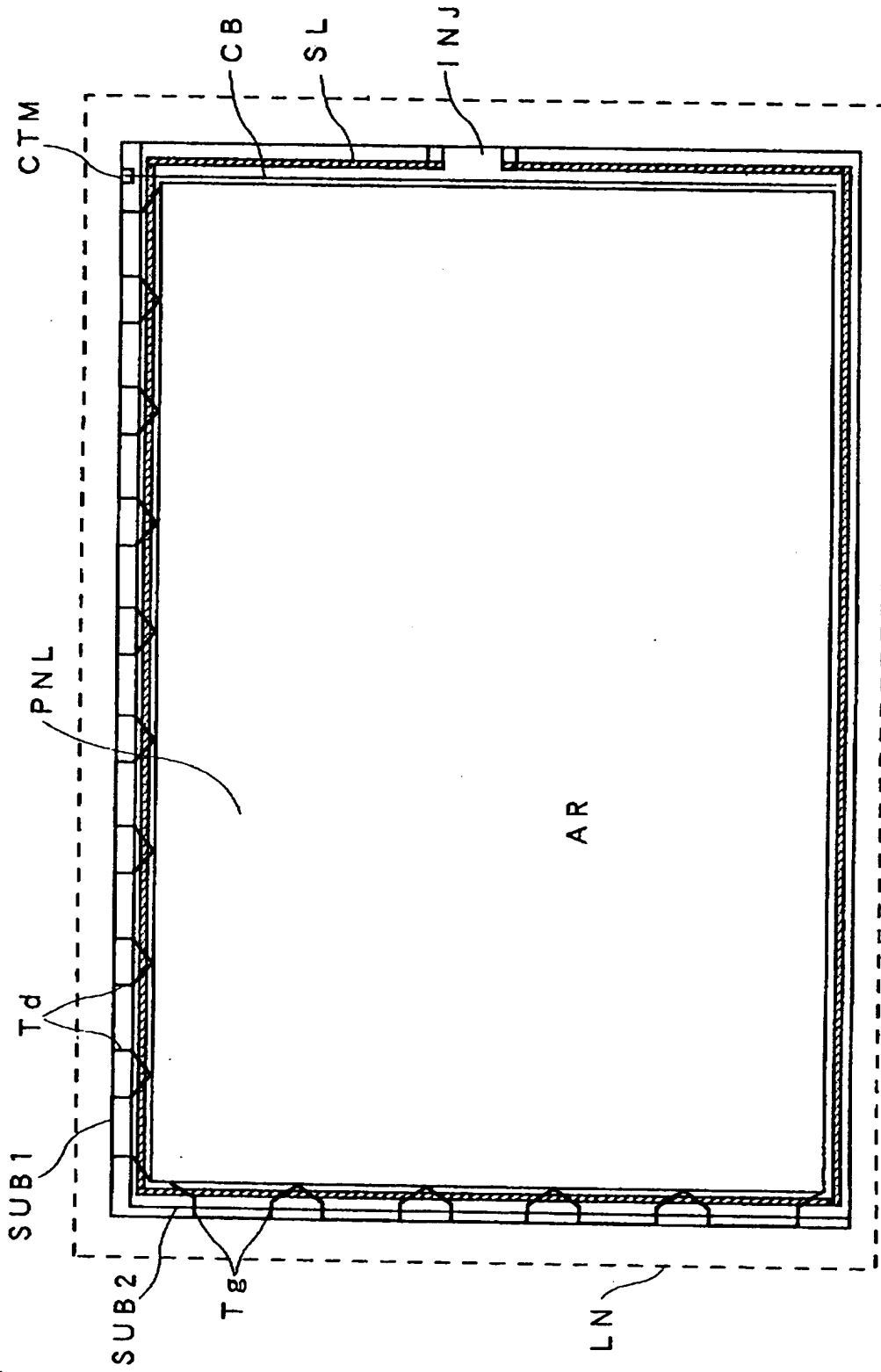
【図 8】

図 8



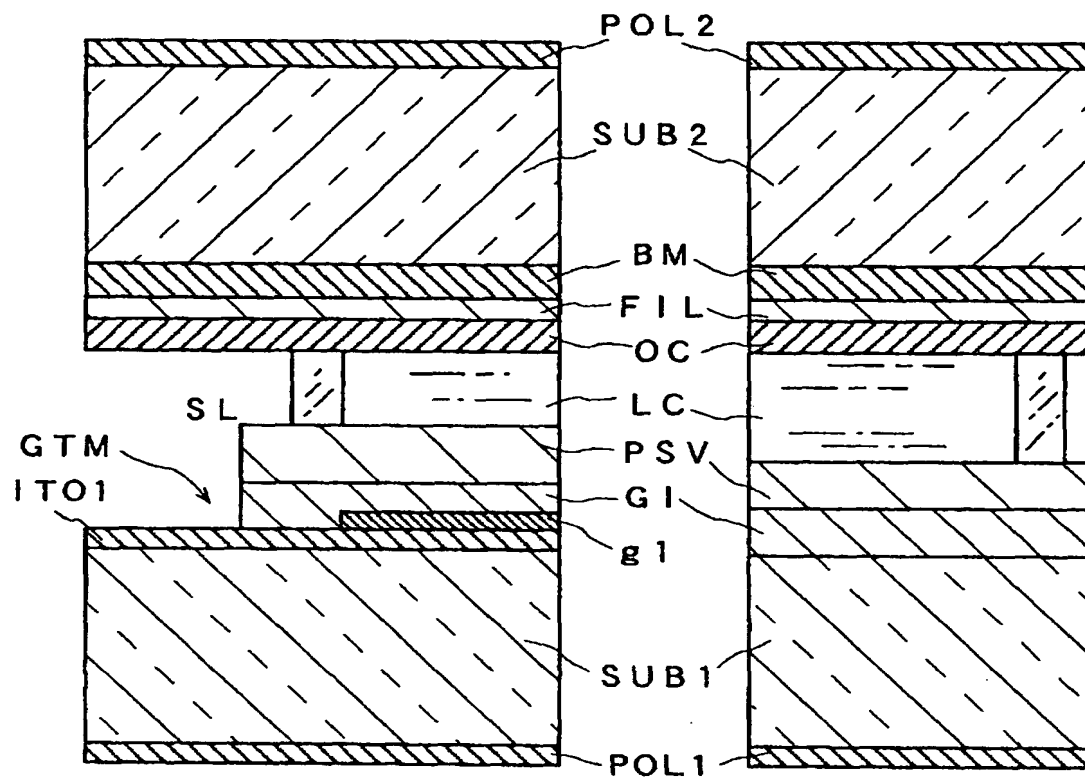
【図 9】

図 9

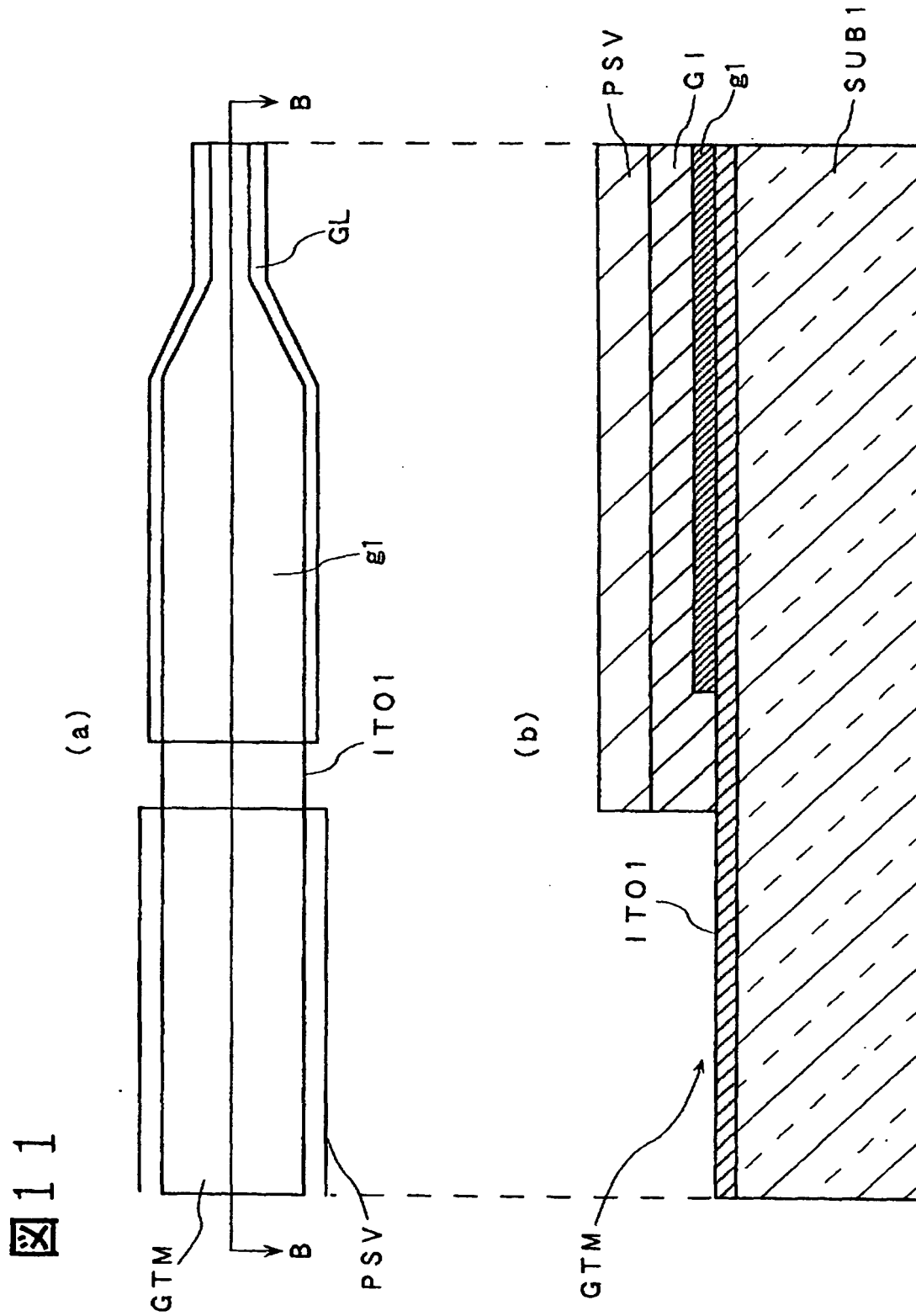


【図10】

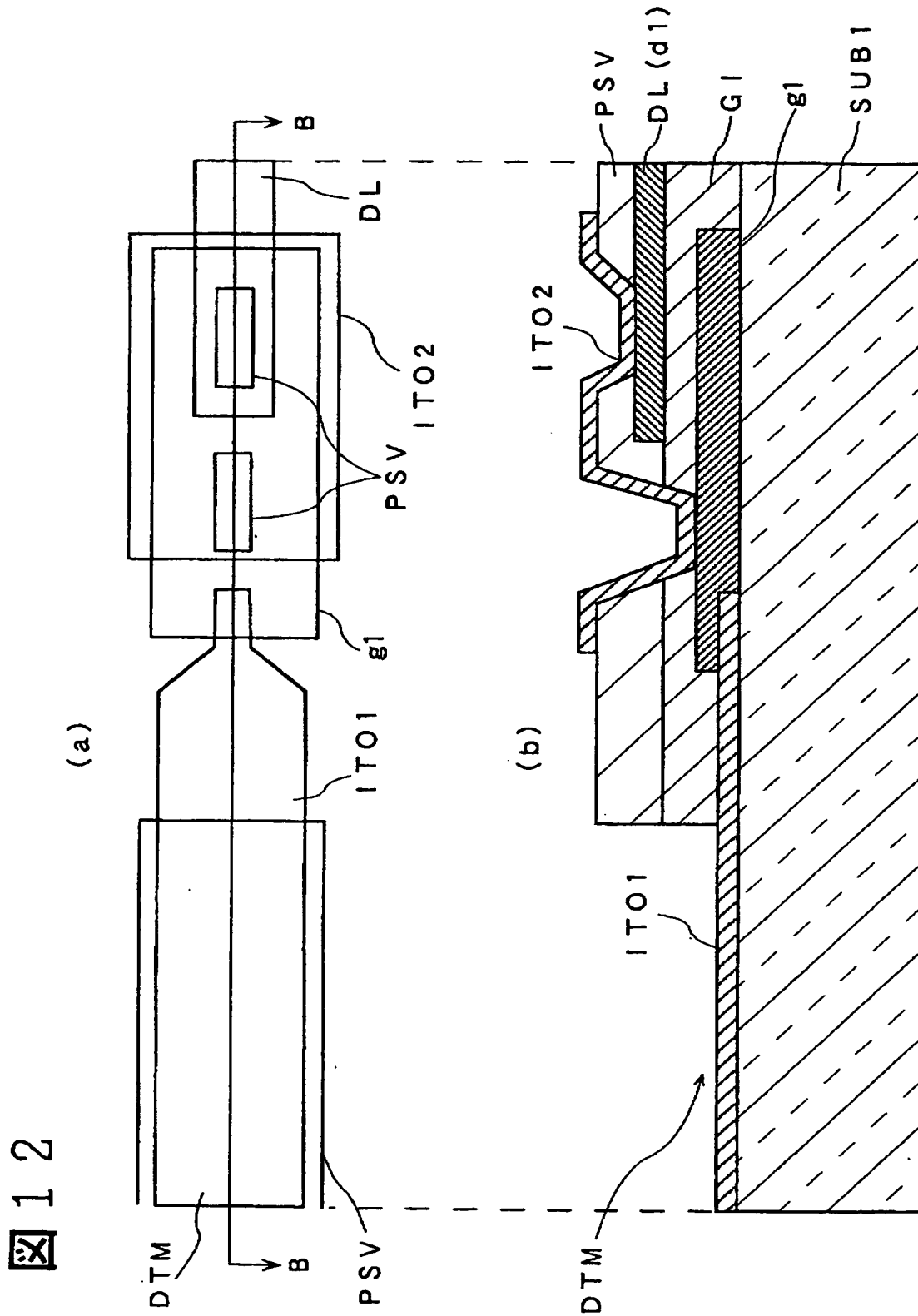
図 10



【図 11】



【図 12】





【図14】

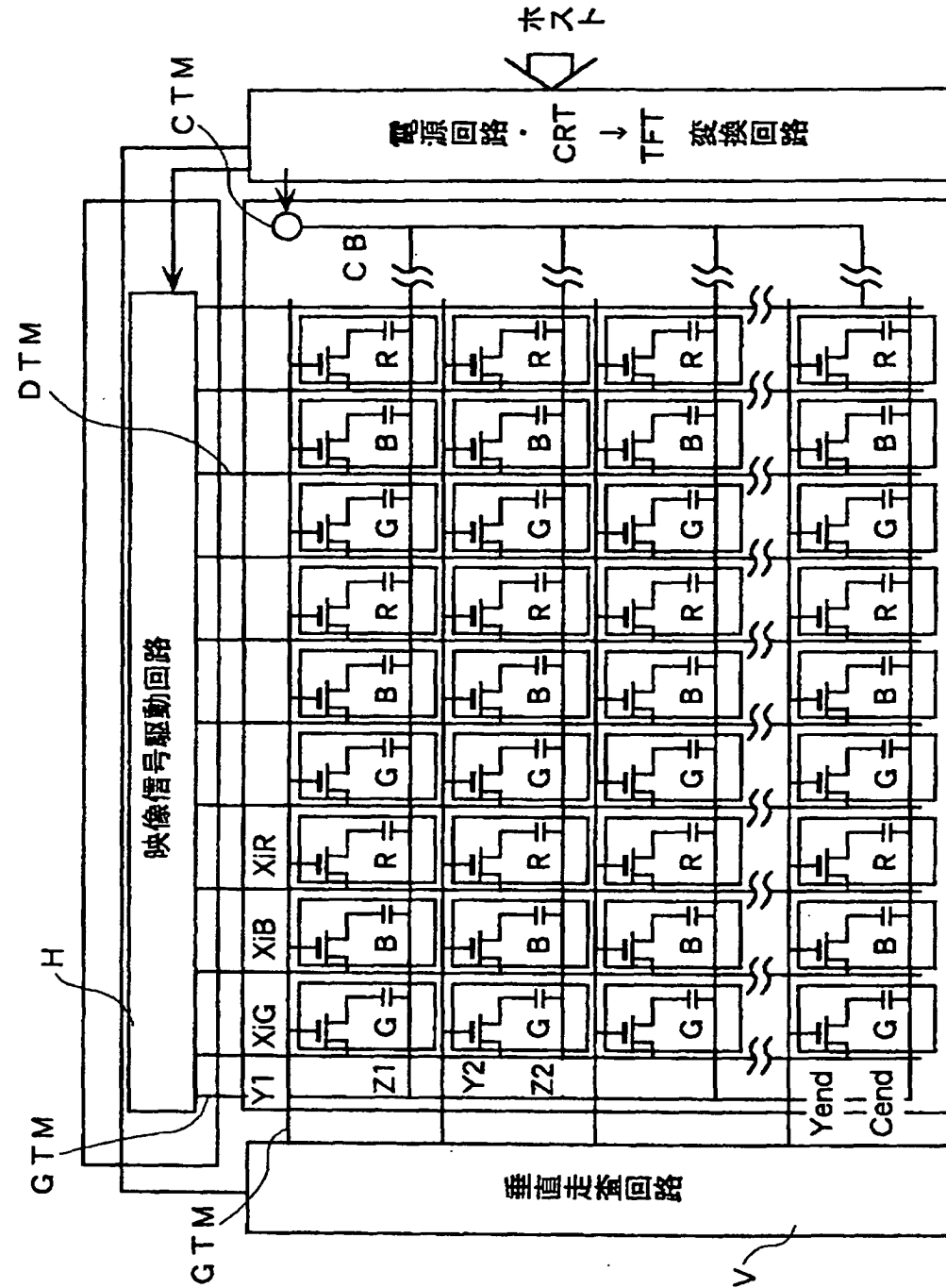
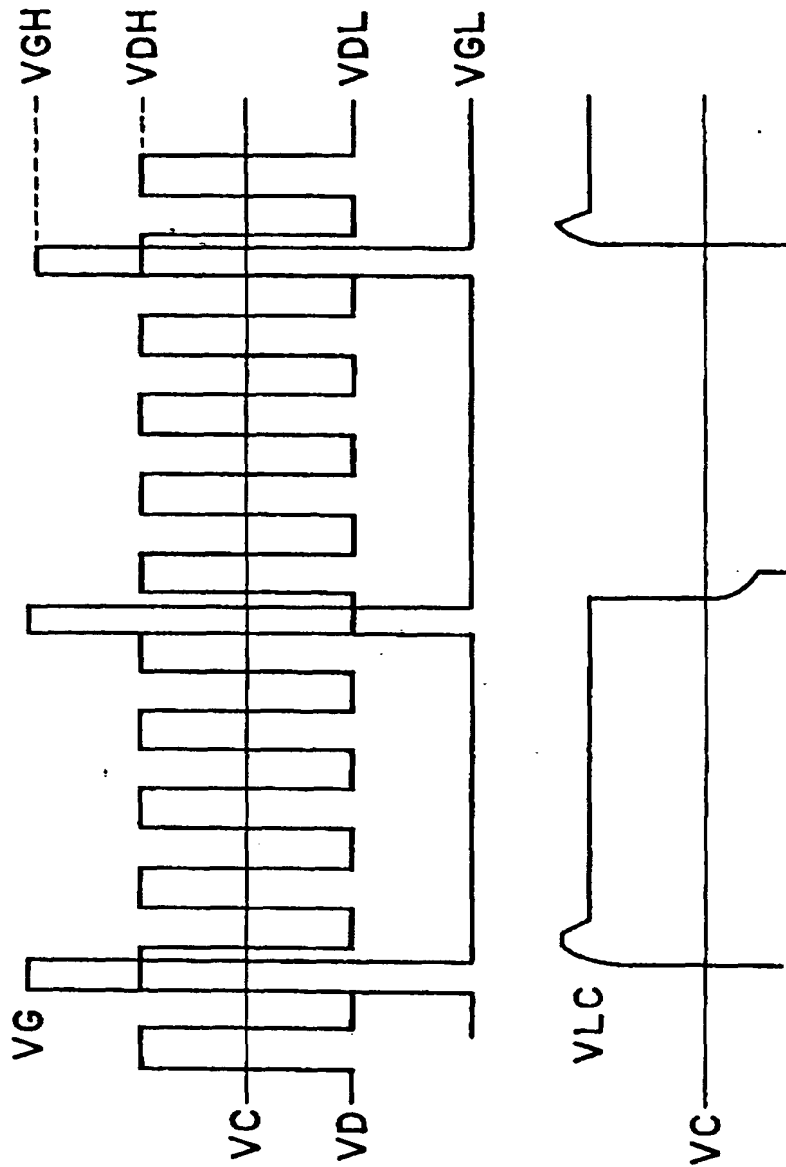


図14



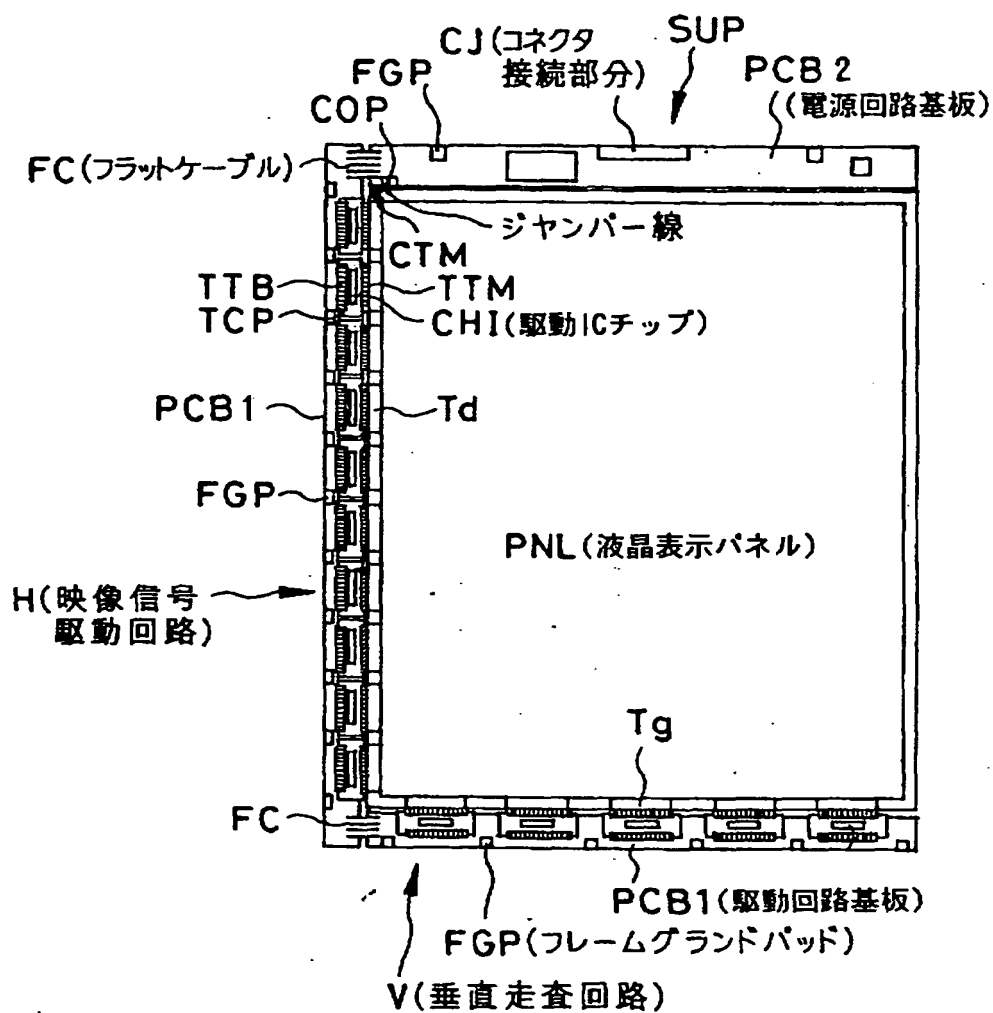
【図 15】

図 15



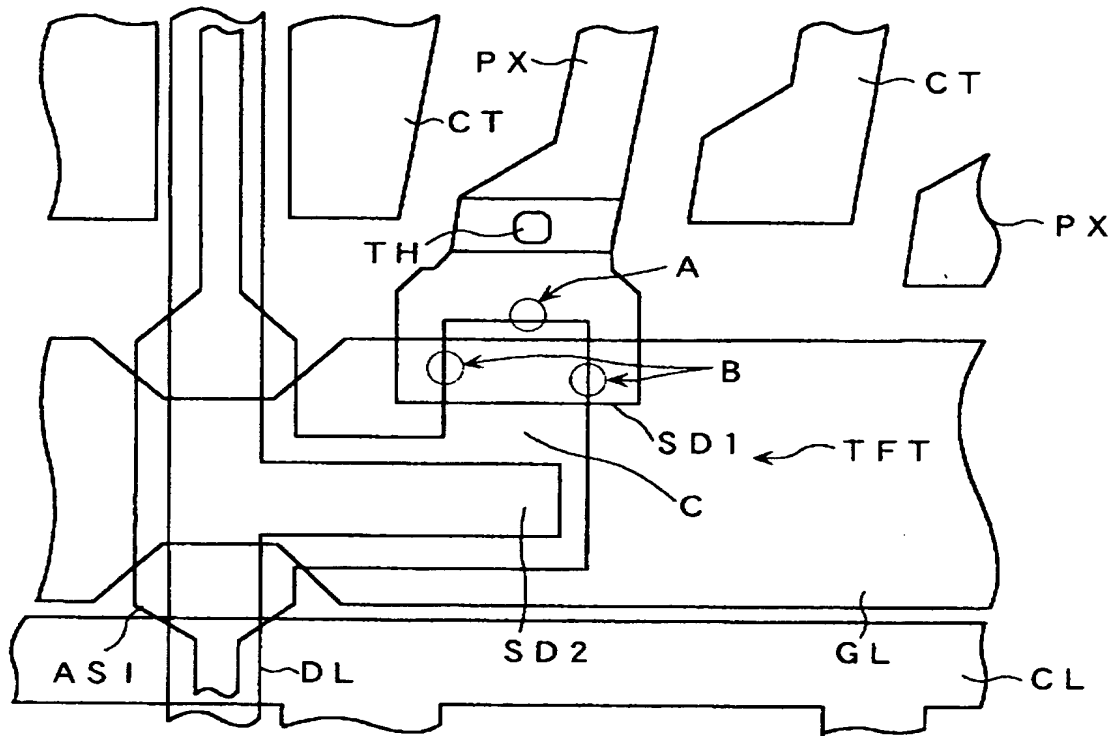
【図16】

図 16



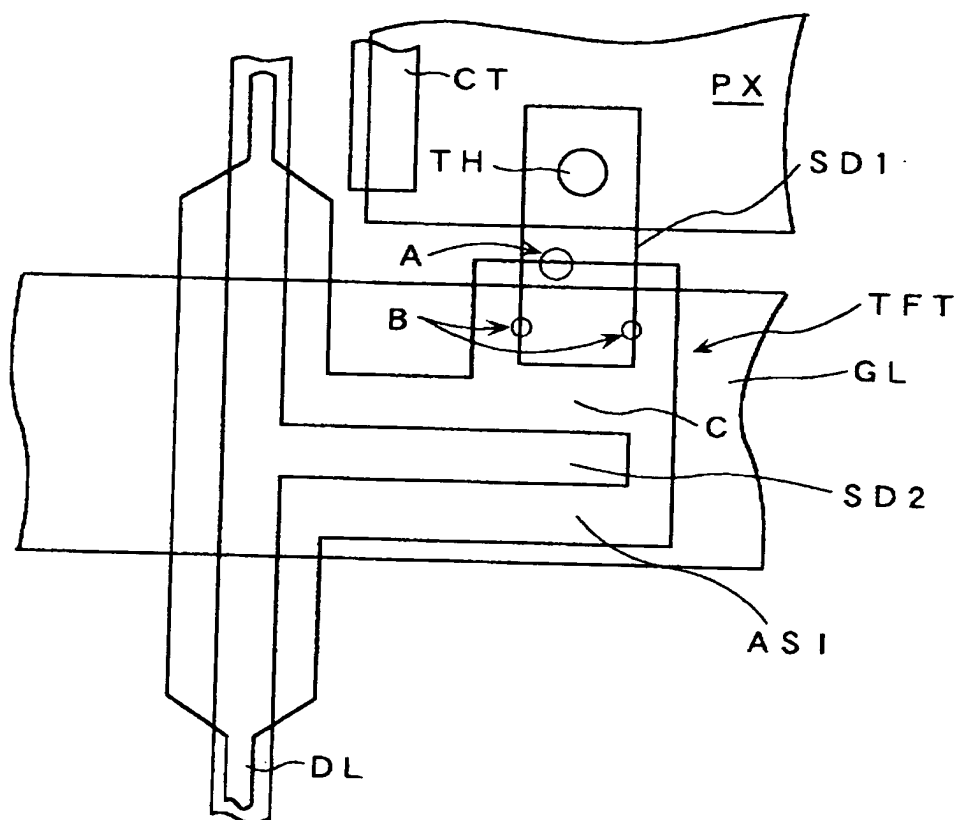
【図17】

図 17



【図 18】

図 18



【書類名】 要約書

【要約】

【課題】

薄膜トランジスタ部分のホットコン電流を抑制し、ゲート電極やドレイン電極の断線を防止する。

【解決手段】

薄膜トランジスタTFTのソース電極SD1の下層に位置する半導体層ASIをゲート線GLからはみ出させないで配置する。薄膜トランジスタTFTのチャネル部Cとソース電極SD1の半導体層ASI乗り越え部側壁の距離を拡大してホットコン電流の発生を抑制した。半導体層のドレイン電極あるいはソース電極の乗り越え部に2方向乗り越え部あるいは3方向乗り越え部を形成してドレイン電極やソース電極のクラックや断線を防止した。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所